

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284549

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 27/105

(21)Application number : 2001-032359

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 08.02.2001

(72)Inventor : RI SHUNKI  
GU HONSAI

(30)Priority

Priority number : 2000 200015033  
2000 200086285

Priority date : 24.03.2000  
29.12.2000

Priority country : KR

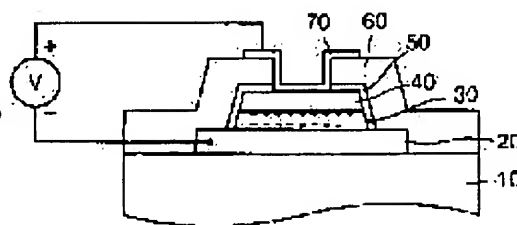
KR

## (54) PRODUCING METHOD FOR FERROELECTRIC CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a producing method for a ferroelectric capacitor.

SOLUTION: This method is provided with a step for forming a lower electrode 20 on a substrate 10, a step for forming a ferroelectric layer 30 on the lower electrode 20, a step for forming an upper electrode 40 on the ferroelectric layer 30, a step for forming a metal wiring layer 70 on the upper electrode 40, and a step for constantly locating the dipoles of the ferroelectric layer 30 by impressing a voltage equal to or higher than an operating voltage to the upper electrode 40 or lower electrode 20. Thus, when producing the ferroelectric capacitor, by applying the voltage of a prescribed potential to a PZT membrane or SBT membrane after the end of the metal wiring process, the approach of hydrogen to become the cause of hydrogen deterioration can be prevented. As a result, the degree of ferroelectric membrane deterioration caused by hydrogen is minimized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-284549  
(P2001-284549A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl.

H 0 1 L 27/105

識別記号

F I

H 0 1 L 27/10

テマコード(参考)

4 4 4 C

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2001-32359(P2001-32359)

(22) 出願日 平成13年2月8日 (2001. 2. 8)

(31) 優先権主張番号 00-15033

(32) 優先日 平成12年3月24日 (2000. 3. 24)

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 00-86285

(32) 優先日 平成12年12月29日 (2000. 12. 29)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 俊 基

大韓民国 京畿道 水原市 八達区 豊通  
洞 1052-2 番地 双龍アパート 241棟  
504号

(72) 発明者 具 本 幸

大韓民国 京畿道 水原市 長安区 亭子  
2洞 886-1 番地 杜鵑マウル 現代ア  
パート 346棟 305号

(74) 代理人 100064414

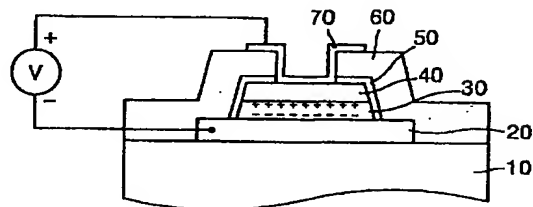
弁理士 磯野 道造

(54) 【発明の名称】 強誘電性キャパシタの製造方法

(57) 【要約】

【課題】 強誘電性キャパシタの製造方法を提供する。

【解決手段】 基板10に下部電極20を形成する段階と、下部電極20の上に強誘電体層30を形成する段階と、強誘電体層30の上に上部電極40を形成する段階と、上部電極40の上に金属配線層70を形成する段階と、上部電極40または下部電極20に動作電圧以上の値を有する電圧を印加して強誘電体層30の双極子を一定に配列せしめる段階とを含んで構成する。このような構成によって、強誘電性キャパシタの製造時に、金属配線工程が終了した後、P Z T薄膜またはS B T薄膜に所定電位の電圧を与えることにより、水素劣化の原因となる水素の接近を妨ぐことができ、その結果、水素に起因する強誘電体薄膜の劣化の程度が最小化される。



## 【特許請求の範囲】

【請求項1】 基板に下部電極を形成する段階と、  
前記下部電極に強誘電体層を形成する段階と、  
前記強誘電体層上に上部電極を形成する段階と、  
前記上部電極上に配線層を形成する段階と、  
前記上部電極または下部電極に動作電圧以上の値を有する電圧を印加して前記強誘電体層の電気双極子（ダイポール）を一定に配列させる段階とを含むことを特徴とする強誘電性キャパシタの製造方法。

【請求項2】 前記強誘電体層は、 $PZT$ （化学式： $PbZr_xTi_{1-x}O_3$ ）系の物質または $SBT$ （化学式： $SrBi_2Ta_2O_9$ ）系の物質から形成されることを特徴とする請求項1に記載の強誘電性キャパシタの製造方法。

【請求項3】 前記 $SBT$ （化学式： $SrBi_2Ta_2O_9$ ）系の物質は、 $Nb$ 、 $Ti$ 、 $Ca$ よりなる群から選ばれた少なくとも一種を含むことを特徴とする請求項1または2に記載の強誘電性キャパシタの製造方法。

【請求項4】 前記上部電極及び下部電極は $Pt$ から形成されるとともに、前記上部電極に正の電圧が印加される、あるいは前記下部電極に負の電圧が印加されて構成されることを特徴とする請求項1に記載の強誘電性キャパシタの製造方法。

【請求項5】 前記上部電極及び下部電極は各々 $Ir/IrO_2$ 、 $Pt/IrO_2$ の積層構造を有するとともに、前記上部電極に負の電圧が印加されるか、あるいは前記下部電極に正の電圧が印加されて構成されることを特徴とする請求項1に記載の強誘電性キャパシタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、強誘電性キャパシタの製造方法に係り、特に、その製造プロセス中に生じた水素による $PZT$ 薄膜または $SBT$ 薄膜の劣化を抑えることができる強誘電性キャパシタの製造方法に関する。

## 【0002】

【従来の技術】 $PZT$ は、 $Pb(Zr_xTi_{1-x})O_3$ にランタン（ $La$ ）、ストロンチウム（ $Sr$ ）、カルシウム（ $Ca$ ）、スカンジウム（ $Sc$ ）、ニオブ（ $Nb$ ）、タンタル（ $Ta$ ）、ニッケル（ $Ni$ ）、鉄（ $Fe$ ）、エルビウム（ $Er$ ）などが適宜に添加されてなる物質である。このような $PZT$ は印加される電圧によって電氣的に双極子が電界方向に配列され、このように印加電圧により生じられた双極子の配列はこの印加電圧が除去されてもそのまま維持されるので、このような $PZT$ を有するキャパシタはリフレッシュ動作を必要としない。このような特徴を備える $PZT$ の薄膜は $FRAM$ （Ferromagnetic Random Access Memory）に適用されて、メモリ素子として用いられ

る。

【0003】このような $PZT$ の薄膜がキャパシタに適用されて構成された $FRAM$ は、 $DRAM$ （Dynamic Random Access Memory）の場合とは異なり、リフレッシュ動作を行う必要がなく、しかも、 $SRAM$ （Static Random Access Memory）、 $EEPROM$ （Electrically Erasable Programmable Read Only Memory）、フラッシュメモリ（Flash Memory）に比べて高い集積度及び速い動作速度を備えるという長所を有する。

【0004】図1は、従来の一般的な $FRAM$ に適用されている $PZT$ キャパシタの模式的な断面図である。図1を参照すると、 $FRAM$ は、一般に、 $Si$ 基板1の上に下部電極2が形成され、下部電極2の上に $PZT$ 層3が形成され、 $PZT$ 層3の上には上部電極4が形成された積層体で構成されている。そして、上部電極4の中央部に設けられたコンタクト部5aにはアルミニウム（ $Al$ ）などからなる金属配線層5が形成されており、 $PZT$ 層3の両側及び上部電極4のコンタクト部5aを除いた部分に $TiO_2$ または $Al_2O_3$ などのバリア層6が形成され、バリア層6の上に $IMD$ 層（Inter Metal Dielectric；層間絶縁膜）としてのシリコンオキサイド（ $SiO_2$ ；酸化珪素）層7が形成されている。また、前記積層体の上にはパッシベーション（保護）層8及び樹脂のパッケージ層9が形成されている。

【0005】前記 $FRAM$ の製造プロセスにおいて、このような強誘電性 $PZT$ の薄膜は、水素原子に晒されて、ドライエッチング、シリコンオキサイド蒸着、 $FGA$ （Forming Gas Anneal）、樹脂によるパッケージなどの各種のプロセスを経るうちに劣化が進行する。

【0006】このような水素による $PZT$ 薄膜の劣化を防止するために、図1に示すように $TiO_2$ または $Al_2O_3$ からなるバリア層6でコンタクト部5aを除いた $PZT$ 層3の全面を被覆することは、ある程度有効に作用する。しかしながら、前記 $FRAM$ の製造プロセス中の水素による $PZT$ 薄膜の劣化を完全に防止することは極めて困難である。そこで、前記 $FRAM$ の製造プロセス中に発生した $PZT$ の劣化をある程度修復するために、これまでは通常、前記製造プロセス中に $PZT$ 薄膜に比較的高い温度でアニーリングが施されていた。

【0007】しかしながら、図1に示されるようなアルミニウム（ $Al$ ）からなる金属配線層5の形成が完了した後では、このアルミニウムが有する比較的低い融点（ $670^\circ C$ ）の制約を受けて、このアルミニウムの融点よりも高い温度で $PZT$ 層3に前記したアニーリングを施すことは実質的に難しい。また、図1に示されるように、 $FRAM$ の製造時に、アルミニウムからなる金属配

線層5の形成後も、 $\text{SiO}_2$ からなるパッシベーション（保護）層7の形成プロセス及び樹脂によるパッケージのプロセスの下でも、前記PZT薄膜が水素により劣化されるという問題がある。この場合には、前述したように、アルミニウムが有する比較的低い融点によりアニーリングを実施することは不可能である。

【0008】したがって、従来のFRAMは、PZT薄膜の劣化を完全に防止しきれていない状態で製造されるため、製品の性能が低下し易いのみならず、その寿命も短くなり易いという問題があった。

【0009】

【発明が解決しようとする課題】前記した問題点に鑑み本発明の第1の目的は、FRAMの製造プロセス中に水素によって生じる強誘電性薄膜の劣化を効率的に抑えることができる強誘電性キャパシタの製造方法を提供することにある。

【0010】また、本発明の第2の目的は、より向上された性能と、より延長された寿命とを備えた強誘電性キャパシタを製造することができる強誘電性キャパシタの製造方法を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するために、本発明者等が鋭意検討した結果、強誘電性キャパシタの製造プロセスで金属配線層を形成した後、この強誘電性キャパシタの上部電極及び下部電極に所定値の電圧を印加してこの強誘電性キャパシタのPZT層に分極（+、-）を生じさせ、一定の電気的雙極子配列を形成することによって、後に続く過程で生じる水素によって生じられるPZT層30の劣化を可及的に最小化させることができることを見だし本発明を創作するに至った。

【0012】すなわち、本発明に係る強誘電性キャパシタの製造方法は、基板に下部電極を形成する段階と、前記下部電極に強誘電体層を形成する段階と、前記強誘電体層上に上部電極を形成する段階と、前記上部電極上に配線層を形成する段階と、前記上部電極または下部電極に動作電圧以上の値を有する電圧を印加して前記強誘電体層の電気雙極子（ダイポール）を一定に配列させる段階とを含むことを特徴とする。（請求項1）

【0013】また、本発明に係る強誘電性キャパシタの製造方法は、請求項1において、前記強誘電体層は、PZT（化学式： $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ）系またはSBT（化学式： $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ）系の物質から形成されることが好ましい。（請求項2）

【0014】さらに、本発明に係る強誘電性キャパシタの製造方法は、請求項1または2において、前記強誘電体層が前記SBT（化学式： $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ）系の物質である場合、Nb、Ti、Caよりなる群から選ばれた少なくとも一種が添加されて構成されることが好ましい。（請求項3）

【0015】また、本発明に係る強誘電性キャパシタの製造方法は、請求項1において、前記上部電極及び下部電極がPtから形成されるとともに、前記上部電極に正の電圧が印加されるか、あるいは前記下部電極に負の電圧が印加されて構成されることを特徴とする。（請求項4）

【0016】そして、本発明に係る強誘電性キャパシタの製造方法は、請求項1において、前記上部電極はIr/IrO<sub>2</sub>、そして前記下部電極はPt/IrO<sub>2</sub>の積層構造を有するとともに、前記上部電極に負の電圧が印加されるか、あるいは前記下部電極に正の電圧が印加されて構成されることを特徴とする。（請求項5）

【0017】

【発明の実施の形態】以下、添付した図面に基づき本発明の好ましい実施の形態について詳細に説明する。なお、本発明はこの実施の形態のみに限定されるものではなく本発明の技術的思想に基づく限りにおいて適宜に変更することが可能である。本発明に係る強誘電性キャパシタの製造方法では、従来の方法を適用することができ、図1に示すようなPZT薄膜を用いた強誘電性キャパシタの模式的な断面図において、金属配線層5までを形成するものである。

【0018】そして、パッシベーション（保護）層8を形成するプロセスの前に、上部電極4または下部電極2に所定の極性の電圧を印加して、強誘電体層3の電気雙極子（ダイポール）を一定に配列させる。本発明にあっては、前記強誘電体はPZT（化学式： $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ）系またはSBT（化学式： $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ）系の物質から形成することができる。

【0019】最初に、Pt/PZT/Pt構造を有する強誘電性キャパシタの製造方法の実施の形態について、図2～図10を参照しながら順次に説明する。図2～図10は、本発明に係る強誘電性キャパシタの製造方法の一実施形態のプロセス手順を示す図である。図2に示されるように、本発明にあっては、まず、Si基板10の上に下部電極20を形成する。ここで、下部電極20は、例えばDCマグネトロンスパッタリング法を用いて形成されるPt薄膜から構成することができる。

【0020】ここで、FRAMにおいては、一般に、トランジスタが前記強誘電性キャパシタの下部に配置されて構成されるので、下部電極20の下側には、下部電極20とトランジスタとを絶縁するためのSiO<sub>2</sub>絶縁層（図示省略）が形成されている。したがって、この場合には、下部電極20は前記SiO<sub>2</sub>絶縁層（図示省略）の上に形成される。また、FRAMの実際の構造においては、前記SiO<sub>2</sub>絶縁層（図示省略）と下部電極20との間には、下部電極20の接着性を向上させるための接着層を介在させて構成される場合もある。

【0021】図3に示される本発明に係る強誘電性キャパシタの製造方法に含まれるプロセスでは、下部電極2

0の上にPZT層30を形成する。このPZT層30は、例えば、ゾルゲル法などの湿式の成膜法を用いて形成することができる。すなわち、前記したようなPZTを含む溶液を250nm程度の厚さとなるようにスピンコート法によって塗布してPZT膜を形成した後、約650℃の温度の下で30分程度加熱して前記PZT膜中の溶剤を蒸発させるとともに、前記PZT膜を硬化させるための熱処理を施してPZT層を形成する。次に、このようにして形成されたPZT層に対し、マスクを用いて行うドライエッチング法によりエッチングを施し、

10 所望のパターンを有するPZT層30を得る。

【0022】図4に示される本発明に係る強誘電性キャパシタの製造方法に含まれるプロセスでは、このようにして形成したPZT層30の上に、前記したような下部電極20を形成する過程と同様の方法によりPt薄膜からなる上部電極層を形成する。その後、このようにして形成された上部電極層に対し、マスクを用いて行うドライエッチング法によりエッチングを施し、所望の形状にパターニングされたPt薄膜からなる上部電極40を形成する。

【0023】図5に示される本発明に係る強誘電性キャパシタの製造方法に含まれるプロセスでは、PZT層30の両側部及び上部電極40の上部を含む部分に、化学気相蒸着(CVD:Chemical vapour deposition)法またはスパッタリング法等の物理気相蒸着法により、 $TiO_2$ 等からなるバリア層50を形成する。

【0024】図6に示される本発明に係る強誘電性キャパシタの製造方法に含まれるプロセスでは、前記したようなPt/PZT/Pt構造を有する積層体の上に、シリコンオキサイド( $SiO_2$ :酸化珪素)からなるIMD層(inter-metal dielectric;層間絶縁膜)60をCVD法を用いて形成する。

【0025】図7に示される本発明に係る強誘電性キャパシタの製造方法に含まれるプロセスでは、上部電極40の上にコンタクトホール61を形成する。ここで、コンタクトホール61は、上部電極40の上のバリア層50及びIMD層(層間絶縁膜)60を貫くように形成される。このため、コンタクトホール61の底部に上部電極40の表面が露出されるようになる。

【0026】その後、図8に示されるように、スパッタリング法、電子ビーム蒸着法等を用いて、Alよりなる金属薄膜を形成するとともに、この金属薄膜にマスクを用いて行うドライエッチング法によりエッチングを施し、所望の形状にパターニングされてなる金属配線層70を形成する。

【0027】このようにして金属配線層70を形成した後、図9に示されるように、金属配線層70及び下部電極20を通してPZT層30に所定値の電圧を印加してPZT層30に分極(+、-)を生じさせる。このと

き、上部電極40に正の電圧が印加され、下部電極20に負の電圧が印加される。このとき、前記電圧の値は、PZT層30の動作電圧以上の値を有する電圧であることが必要である。本実施の形態では、PZT層30に対する分極電圧を5Vに設定した。

【0028】このようにしてPZT層30に分極を生じさせる過程を有することが本発明の大きな特徴であり、このような過程によって後に続く過程で生じる水素によって生じられるPZT層30の劣化を可及的に最小化させることができることは特筆すべきことである。

【0029】図10に示される本発明に係る強誘電性キャパシタの製造方法に含まれるプロセスでは、金属配線層70の上にシリコンオキサイド( $SiO_2$ :酸化珪素)またはシリコンナイトライド( $Si_3N_4$ :窒化珪素)などをCVD法を用いて形成してパッシベーション(保護)層80とした後、その上に樹脂のパッケージ層90を形成する。

【0030】以上説明したような本発明に係る強誘電性キャパシタの製造プロセスごとの実施の形態では、下部電極20、PZT層30、上部電極40に対するパターニング過程が別々に行われるように構成したが、これは単なる例示的なものに過ぎず、下部電極20、PZT層30、上部電極40を連続して積層し、続いて最上層にマスクを設けた後、ドライエッチング法等を用いて一括して下部電極20、PZT層30、上部電極40を所望の形状にパターニングすることも可能である。

【0031】以上のように構成される本発明によれば、PZTキャパシタを製造するプロセス中に生じる水素によって生じられるPZT層の劣化を抑えることができる。一般に、このようなプロセス中に生じる水素は、キャパシタを構成する積層構造(上部電極/PZT/下部電極)の各界面に集中して発生する。一般的に用いられているPt/PZT/Ptの積層構造を有するPZTキャパシタでは、特に、前記水素が上部電極とPZTとの間に集中して発生し、この水素がPZTキャパシタの特性を低下させる。

【0032】したがって、本発明に係る強誘電性キャパシタの製造方法によれば、図8に示されるような金属配線層70を形成した段階の後で、図9に示されるようにして、上部電極40に正の電圧を印加することにより、PZT層30の劣化を補償することができる。図11は、前述したように上部電極40に正の電圧を印加したときのPZT層30の分極の状態を模式的に示すものであり、図12は、逆に、上部電極40に負の電圧を印加したときのPZT層30の分極の状態を模式的に示すものである。

【0033】図13は、本発明に係る強誘電性キャパシタの製造方法に従って形成されたPt/PZT/Ptの積層構造を有する強誘電性キャパシタに対して、図11及び図12に示されるようにして上部電極40に正また

は負の電圧を印加して PZT 層 30 に分極を生じさせたときに、PZT 層 30 に施された種々の熱処理の時間、すなわちアニール時間の違いによって、あるいは、上部電極 40 に印加された電圧の極性の違いによって、PZT 層 30 の分極の状態が変化する様子を示すグラフである。

【0034】このようにして、上部電極 40 に正または負の電圧を印加して PZT 層 30 に分極を生じさせることにより、PZT 層 30 に 2 種類の双極子の状態を生起させると、図 13 に示されるように、上部電極 40 に正の電圧 (+5V) を印加した場合（すなわち、上部電極 40 と PZT 層 30 との界面に負 (-) の分極が生起される）の方が、その逆の場合、すなわち上部電極 40 に負の電圧 (-5V) を印加した場合（すなわち、上部電極 40 と PZT 層 30 との界面に正 (+) の分極が生起される）に比べて水素劣化に相対的に強くなっていることがわかる。

【0035】その理由は、Pt/PZT/Pt 構造の強誘電性キャパシタでは水素原子が上部電極 40 と PZT 層 30 との界面に主に集中して発生するが、その際、上部電極 40 に正の電圧を印加することにより上部電極 40 と PZT 層 30 との界面に負 (-) の分極を存在させるようにすると、この負 (-) の分極によって前記水素原子の接近が妨げられるためであると考えられる。

【0036】一方、図 14 に示されるように、キャパシタが前記したような Pt/PZT/Pt 構造の場合とは異なり、Ir/IrO<sub>2</sub>/PZT/Pt/IrO<sub>2</sub> のようなスタック構造を有する場合には、PZT キャパシタを形成するプロセス中に生じた水素原子が主として PZT /下部電極の界面に集中するようになる。したがって、この場合には、下部電極に正の電圧を印加して下部電極と PZT との界面に負 (-) の分極を生じさせることにより、PZT 層の水素による劣化の程度を可及的に最小化させることが可能となる。

【0037】以上説明したような水素による PZT 層の劣化を抑制するために、本発明に係る強誘電性キャパシタの製造方法によれば、PZT 層と上部電極との間の界面、及び PZT 層と下部電極との間の界面のうち、より多くの水素が集中する方の界面にキャパシタの動作電圧以上の電圧を印加するようにして負の分極を形成することにより、PZT 層の劣化を補償することができる。

【0038】以上述べたようにして PZT 層の劣化が補償されることを実証するために、本発明者等は、金属記録層 70 を形成するプロセス（図 8 参照）が終了した後の 4Mb（メガビット）の集積度を有する強誘電体メモリのキャパシタ（構造：Ir/IrO<sub>2</sub>（上部電極）/PZT/Pt/IrO<sub>2</sub>（下部電極））の上部電極 40 または下部電極 20 に 3.3V の電圧を印加して PZT 層 30 に分極を生じさせた（図 9 参照）後、SiO<sub>2</sub> からなるバッシベーション（保護）層 80 を形成し（図 1

0 参照）、次に、樹脂でパッケージ層 90 を形成した（図 10 参照）。

【0039】その結果、上部電極 40（図 9 参照）に 3.3V の電圧（正の電圧）を印加した場合には集積度が 500kb（キロビット）にまで低下したのに対し、下部電極 20（図 9 参照）に 3.3V の電圧（正の電圧）を印加した場合には集積度が 4.0Mb（メガビット）に維持されていることが判明し、前記したような PZT 層 30（図 9 参照）に生じられた負 (-) の分極によって前記水素原子の接近が妨げられるという考察を指示する有力な証拠が得られるとともに、本発明によって PZT 層 30（図 9 参照）の劣化が補償されることが実証された。

【0040】一方、本発明に係るさらに他の実施形態によれば、前記強誘電性薄膜は SBT（化学式：SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>）系の物質から形成されることができ、この場合には前記 SBT（化学式：SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>）系の物質として、Nb、Ti、Ca よりなる群から選ばれた少なくとも一種が添加されていることが好ましい。

【0041】

【発明の効果】以上説明した通りに構成される本発明に係る強誘電性キャパシタの製造方法によれば、製造プロセス中に生じる水素に起因する強誘電体薄膜、例えば、PZT 薄膜または SBT 薄膜の劣化を効果的に抑えることができ、そのため強誘電性キャパシタの特性を大きく改善することができる。さらに、その結果として強誘電性キャパシタの寿命をより延長させることができる。

【0042】なお、本発明に係る強誘電性キャパシタの製造方法は、図面に示されたような実施の形態を参考として説明されたが、この実施の形態は単なる例示的なものに過ぎず、当該分野において通常の知識を有する者であれば、本発明の技術的思想に基づいてこの実施の形態に各種の変形を施す、あるいはこの実施の形態と均等に構成することにより、他の種々の実施の形態を考案することが可能なことは言うまでもない。よって、本発明の真の技術的な保護範囲は特許請求の範囲によって定まるべきである。

【図面の簡単な説明】

【図 1】PZT 薄膜を用いた従来の一般的な強誘電性キャパシタの模式的な断面図である。

【図 2】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態で Si 基板上に下部電極を形成するプロセスを説明するための模式的な断面図である。

【図 3】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態で下部電極 20 の上に PZT 層を形成するプロセスを説明するための模式的な断面図である。

【図 4】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態で PZT 層の上に上部電極層を形成するプロセスを説明するための模式的な断面図である。

【図5】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態でPZT層の両側部分及び上部電極の上にバリア層を形成するプロセスを説明するための模式的な断面図である。

【図6】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態でPt/PZT/Pt構造を有する積層体の上に、シリコンオキサイド(SiO<sub>2</sub>:酸化珪素)からなるIMD層(inter-metal dielectric:層間絶縁膜)を形成するプロセスを説明するための模式的な断面図である。

【図7】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態で上部電極の上にコンタクトホールを形成するプロセスを説明するための模式的な断面図である。

【図8】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態で金属配線層を形成するプロセスを説明するための模式的な断面図である。

【図9】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態で金属配線層及び下部電極を通してPZT層に所定電位の電圧を印加してPZT層に分極(+)、(-)を生じさせるプロセスを説明するための模式的な断面図である。

【図10】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態で金属配線層の上にパッシベーション(保護)層を形成した後、その上に樹脂パッケージ層を形成するプロセスを説明するための模式的な断面図である。

【図11】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態において、PZT層の上部電極に正の電圧を印加したときのPZT層の分極状態を模式的に示す図面である。

【図12】本発明に係る強誘電性キャパシタの製造方法に含まれる一実施形態において、PZT層の上部電極に負の電圧を印加したときのPZT層の分極状態を模式的に示す図面である。

\* に示す図面である。

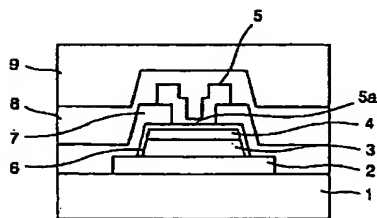
【図13】本発明に係る強誘電性キャパシタの製造方法に従って形成されたPt/PZT/Ptの積層構造を有する強誘電性キャパシタで、PZT層の分極の状態、PZT層に施された種々の熱処理の時間、すなわちアニール時間依存性、または上部電極に印加された電圧依存性を示すグラフである。

【図14】本発明に係る強誘電性キャパシタの製造方法に従い、Ir/IrO<sub>2</sub>/PZT/Pt/IrO<sub>2</sub>の積層構造を有する強誘電性キャパシタに分極を形成した状態の断面を模式的に示す図面である。

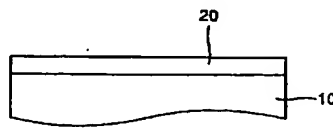
【符号の説明】

- 1 Si基板
- 2 下部電極
- 3 PZT層
- 4 上部電極
- 5a コンタクト部
- 5 金属配線層
- 6 バリア層
- 7 IMD層(Inter Metal Dielectric:層間絶縁膜)
- 8 パッシベーション(保護)層
- 9 パッケージ層
- 10 基板
- 20 下部電極
- 30 強誘電体層
- 40 上部電極
- 50 バリア層
- 60 IMD層(層間絶縁膜)
- 61 コンタクトホール
- 70 金属配線
- 80 パッシベーション(保護)層
- 90 パッケージ層

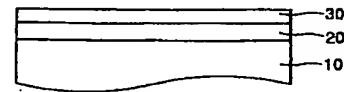
【図1】



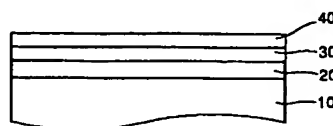
【図2】



【図3】

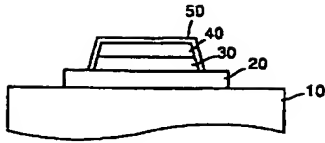


【図4】

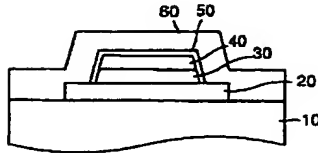




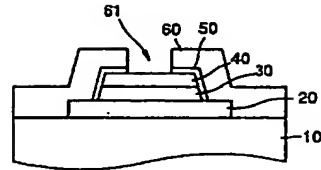
【図5】



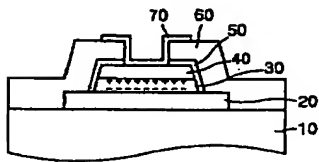
【図6】



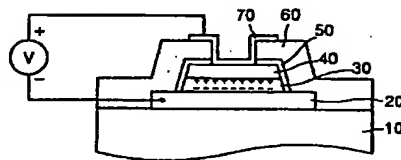
【図7】



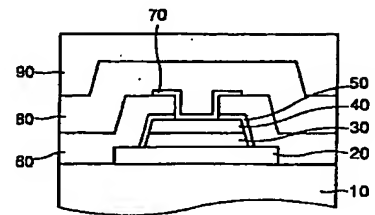
【図8】



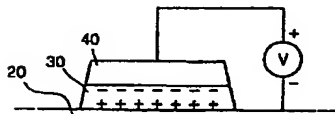
【図9】



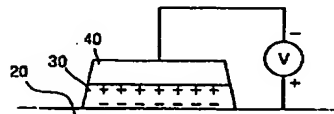
【図10】



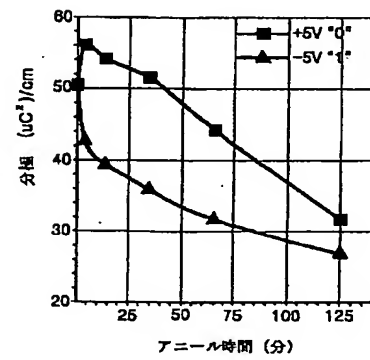
【図11】



【図12】



【図13】



【図14】

